# AER功能介绍

## 背景介绍

AER机制为PCIe系统提供了一种统一的和可扩展的错误管理机制，可以及时检测、报告和处理PCIe设备中发生的错误，提高系统的可靠性和可维护性。

### PCIe错误报告

PCIe总线Spec定义了两个错误报告等级。第一个为基本的（Baseline Capability），是所有PCIe设备都需要支持的功能。第二个是可选的，为高级错误报告（Advanced Error Reporting Capability）。

Baseline Error Reporting包括对传统错误报告的支持以及对报告PCIe错误的基本支持。所有设备都需要两套配置寄存器以支持Baseline Error Reporting，分别为：

* 兼容PCI总线的寄存器（PCI-Compatible Registers）：

这些寄存器与PCI使用的寄存器相同，为现有PCI兼容软件提供向后兼容性。为了实现这一点，PCIe错误被映射到PCI兼容错误，使其对传统软件可见。

* PCIe总线中新增的寄存器（PCI Express Capability Registers）

这些寄存器仅对了解PCIe的较新软件有用，但它们提供了更多专门针对PCIe软件的错误信息。

Advanced Error Reporting添加了一组新的配置寄存器，并跟踪发生了哪些错误、错误的严重程度等更多细节，在某些情况下，甚至可以记录导致错误的数据包的信息。这种可选的错误报告机制包括一组新的专用配置寄存器，这些寄存器为错误处理软件在诊断和恢复问题时提供了更多信息。AER寄存器被映射到扩展的配置空间中，并提供更多关于任何错误性质的信息。

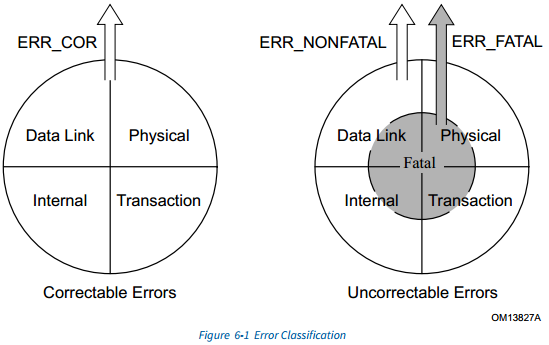
### 错误分类

PCIe的错误可以分成两类：不可修复错误（Uncorrectable errors）和可修复错误（Correctable errors），其中不可修复错误又可以细分为致命（Fatal）和非致命（Non-Fatal）两种。

可修复错误由硬件修复不需要软件参与，并且修复行为不会导致任何信息的丢失。软件可以记录错误发生的频率。

不可修复致命错误是链路或者硬件不可靠导致的，对于不可修复致命错误需要复位链路上的组件。不可修复致命错误，没有统一的修复方法，每家都有自己的处理方法。平台设计者需要根据硬件设计不同，PCIe器件承担的作用不同，业务流程不同进行不同的处理，原则上都需要复位链路上的组件。

不可修复非致命错误通常是事务层不可靠但是链路满足要求导致的。



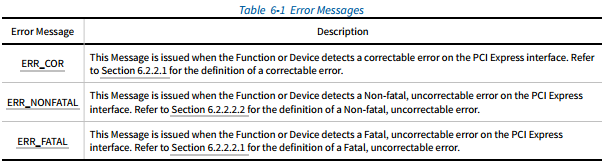
### 错误上报

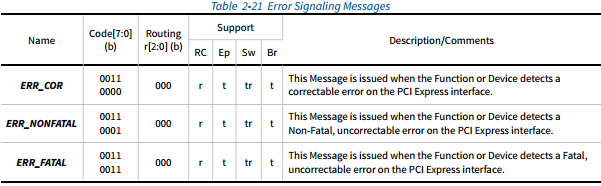
PCIe协议规定了3种错误上报机制从而向系统或其他设备发出错误发生的警报。第一种机制是通过完成状态（Completion Status），第二种是使用带内错误消息（in-band Error Messages），第三种是使用错误转发（Error Forwarding）（也称为数据中毒）。

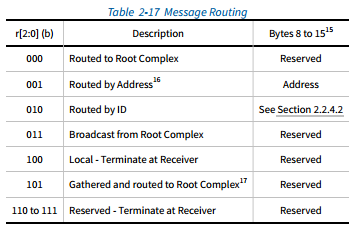
这里主要说明与AER相关的Error Messages。Error message起源于Root Port或者Root Port下面的设备，最终路由到对应的Root Port。

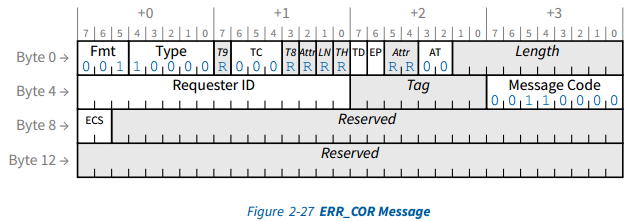
当设备出错时，设备会根据错误类型和severity来产生对应的error message，error message会路由到RC。如果Root Port支持AER（有AER响应的capability），RC从error message中提取Requester ID字段，并记录到Root Port的Error Source Identification寄存器中，这个BDF号就是出错的设备。不过很多时候这个BDF是捕获不到的，或者出现多个错误，RC只能提取第一错误的Requester ID。因此，需要driver遍历Root Port下的所有设备，检查哪些设备出现了错误。

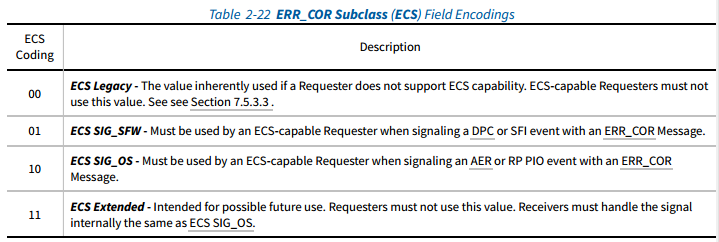
下图为Error Messages对应的错误类型，其中ERR\_COR为可修复的错误，ERR\_NONFATAL为非致命错误，ERR\_FATAL为致命错误。











从表2-21对应可以看到，不同的错误类型对应不同的消息报文下的Message Code，并且结合表2-17可知，Error Message最终会路由到RC。表2-21中的Support一栏，RC代表Root Complex，Ep代表Endpoint，Sw代表Switch，Br代表PCI Express (primary) to PCI/PCI-X (secondary) 桥，r表示支持作为接收者（Receiver），t表示支持作为发送者（Transmitter）。

## AER机制及功能特性

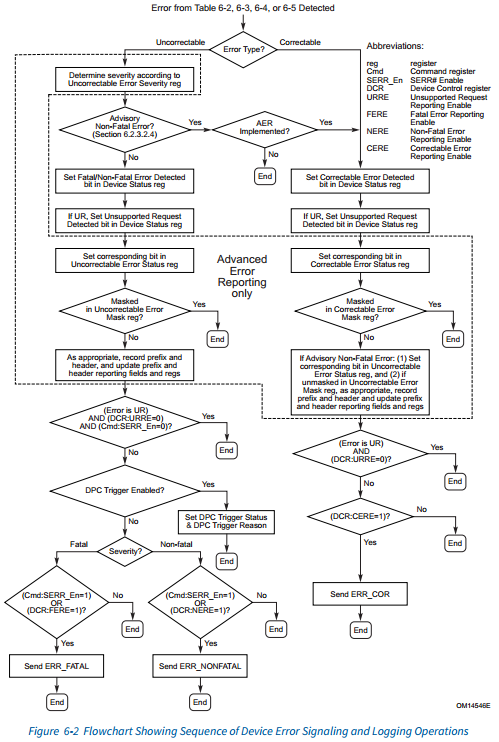
PCIe的AER（Advanced Error Reporting）机制是一种用于检测、报告和处理PCIe设备中发生的错误的高级错误报告机制。它提供了一种标准化的方法来报告和管理PCIe链路和设备的错误，以提高系统的可靠性和可维护性。下面是AER机制的主要特点和功能：

* 错误检测：AER机制通过监测PCIe链路和设备上的错误条件来进行错误检测。它可以检测到包括数据传输错误、CRC错误、重传超时、链路层错误等各种类型的错误。
* 错误报告：一旦检测到错误，AER机制会生成错误报告，其中包含了错误的详细信息，如错误类型、错误位置、错误状态等。错误报告通常以特定的格式被写入AER寄存器，供系统软件读取和处理。
* 错误通知：AER机制可以通过中断或其他机制向系统软件通知错误的发生。这使得系统能够及时获知错误并采取相应的处理措施。
* 错误处理：AER机制允许系统软件对错误进行处理和响应。根据错误的性质和严重程度，处理措施可以包括重传数据、重新配置设备、发起复位操作等。

AER机制的主要特性如下：

* 层次结构支持：AER机制可以在PCIe设备和系统的层次结构中进行错误报告和处理。错误可以从下层设备向上报告，直到达到RC。
* 可选性：AER机制是可选的，根据具体的实现和需求可以选择是否支持。如果支持AER，相关的设备和软件需要满足AER规范的要求。

下图是一个AER机制的流程图。



# AER Extended Capability

The PCI Express Advanced Error Reporting Capability is an optional Extended Capability that may be implemented by PCI Express device Functions supporting advanced error control and reporting. The Advanced Error Reporting Capability structure definition has additional interpretation for Root Ports and Root Complex Event Collectors; software must interpret the Device/Port Type field in the PCI Express Capabilities register to determine the availability of additional registers for Root Ports and Root Complex Event Collectors.

PCIe的 Advanced Error Reporting（AER）Capability是一种可选的扩展功能，可以通过支持高级错误控制和报告的PCIe设备功能来实现。Advanced Error Reporting能力结构定义对Root Ports和RC Event Collectors有额外的解释；软件必须解释PCIe Capabilities寄存器中的设备/端口类型字段，以确定Root Ports和RC Event Collectors的附加寄存器的可用性。

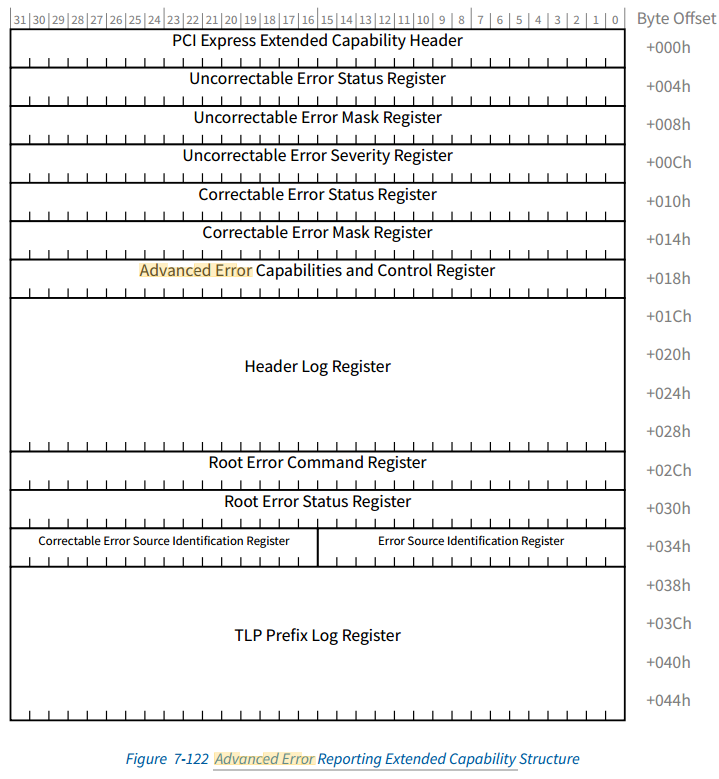
Note that if an error reporting bit field is marked as optional in the error registers, the bits must be implemented or not implemented as a group across the Status, Mask and Severity registers. In other words, a Function is required to implement the same error bit fields in corresponding Status, Mask and Severity registers. Bits corresponding to bit fields that are not implemented must be hardwired to 0, unless otherwise specified.

需要注意的是，如果错误报告位字段在错误寄存器中被标记为可选，则这些位必须在Status、Mask和Severity寄存器中作为一组可配置或不可配置。换句话说，一个Function需要在相应的Status、Mask和Severity寄存器中配置相同的错误位字段。除非另有说明，否则未实现的位字段对应的位必须硬连接为0。

Except for Root Ports and Root Complex Event Collectors, if the End-End TLP Prefix Supported bit is Set, the Root Error Command and Error Source Identification Registers must be RsvdP and the Root Error Status Register must be RsvdZ.

除了Root Ports and RC Event Collectors，如果支持End-End TLP前缀位被置一，则Root Error Command和Error Source Identification寄存器必须为RsvdP，Root Error Status寄存器必须为RsvdZ。

下图为Advanced Error Reporting（AER）扩展能力结构图



## Advanced Error Reporting Extended Capability Header(Offset 00h)

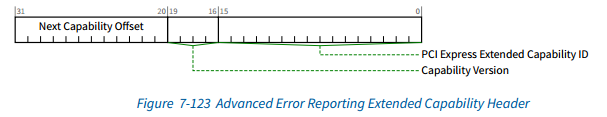
Figure 7-123 details the allocation of register fields of an Advanced Error Reporting Extended Capability header; Table 7-99 provides the respective bit definitions.

Refer to Section 7.6.3 for a description of the PCI Express Extended Capability header. The Extended Capability ID for the

Advanced Error Reporting Capability is 0001h.

图7-123详细描述了高级错误报告扩展能力头的寄存器字段的分配;比特定义如表7-99所示。

有关PCI Express Extended Capability标头的描述，请参阅第7.6.3节。高级错误报告能力的扩展能力ID为0001h。



### PCI Express Extended Capability ID（已实现）

This field is a PCI-SIG defined ID number that indicates the nature and format of the Extended Capability.

The Extended Capability ID for the Advanced Error Reporting Capability is 0001h

该字段是PCI-SIG定义的标识号，表示扩展能力的性质和格式。高级错误报告能力的扩展能力ID为0001h

225已实现，具体在pcie5\_errmgt模块中，492行中固定赋值为16’h0001，并传递给信号aer00中，但是后续向其他模块传输过程中并没有再使用。

### Capability Version（已实现）

This field is a PCI-SIG defined version number that indicates the version of the Capability structure present.

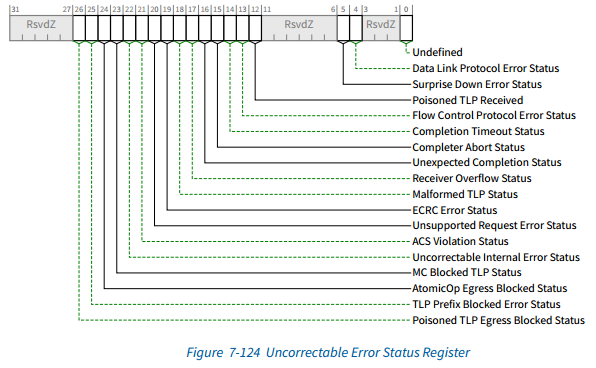
This field must be 2h if the End-End TLP Prefix Supported bit (see Section 7.5.3.15 ) is Set and must be 1h or 2h otherwise.

该字段是PCI-SIG定义的版本号，指示当前Capability结构的版本。

如果设置了End-End TLP前缀支持位(参见7.5.3.15)，则该字段必须为2h，否则必须为1h或2h。

225已实现，具体在pcie5\_errmgt模块中，492行中固定赋值为4’h2，指示支持End-End TLP前缀。该域段信号传输给信号aer00之后没有再使用过。

## Uncorrectable Error Status Register(Offset 04h) （已实现）



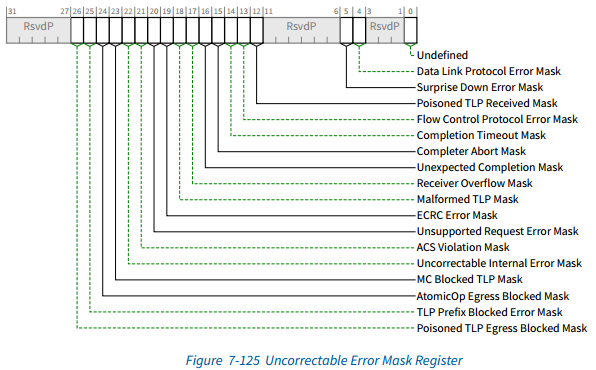
The Uncorrectable Error Status Register indicates error detection status of individual errors on a PCI Express device Function. An individual error status bit that is Set indicates that a particular error was detected; software may clear an error status by writing a 1b to the respective bit. Refer to Section 6.2 for further details. Register bits not implemented by the Function are hardwired to 0b. Figure 7-124 details the allocation of register fields of the Uncorrectable Error Status Register; Section 7.8.4.2 provides the respective bit definitions.

Uncorrectable Error Status寄存器表示PCI Express设备上单个错误的错误检测状态。设置单个错误状态位表示检测到特定错误;软件可以通过向相应的位写入1b来清除错误状态。详细信息请参见6.2节。未被Function实现的寄存器位被硬连接到0b。图7-124详细描述了Uncorrectable Error Status register寄存器字段的分配；第7.8.4.2节给出了各自的位定义。

225已实现，具体在pcie5\_errmgt模块中，该寄存器中bit定义如上图所示，在检测到对应bit的错误类型之后，或者在Multiple header recording启用下FEP (First Error Pointer)指向错误类型，那么会将该状态寄存器对应的错误状态位高，以指示该错误类型。而在RC通过发配置报文并转换为通过APB接口对自定义的errunc\_clear\_r中对应错误类型位写1时，使该uncorrectable error status寄存器中对应错误类型状态位清零。

该寄存器字段只在上面描述的模块中使用，其他模块中没有使用到该字段信号。

## Uncorrectable Error Mask Register(Offset 08h) （已实现）



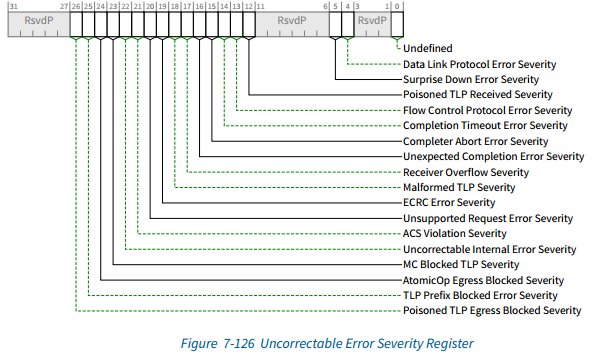
The Uncorrectable Error Mask Register controls reporting of individual errors by the device Function to the PCI Express Root Complex via a PCI Express error Message. A masked error (respective bit Set in the mask register) is not recorded or reported in the Header Log, TLP Prefix Log, or First Error Pointer, and is not reported to the PCI Express Root Complex by this Function. Refer to Section 6.2 for further details. There is a mask bit per error bit of the Uncorrectable Error Status register. Register fields for bits not implemented by the Function are hardwired to 0b. Figure 7-125 details the allocation of register fields of the Uncorrectable Error Mask Register; Table 7

不可纠正错误掩码寄存器控制设备Function通过PCI Express错误消息向PCI Express根复合体报告单个错误。被掩码错误(在掩码寄存器中各自设置的位)不记录或报告在报头日志、TLP前缀日志或第一错误指针中，并且不通过该Function报告给PCI Express的RC。详细信息请参见6.2节。不可纠正错误状态寄存器的每个错误位都有一个掩码位。未被Function实现的位的寄存器字段被硬连接到0b。图7-125详细描述了Uncorrectable Error Mask寄存器的寄存器域分配。

225已实现，具体在pcie5\_errmgt模块中，该寄存器中bit定义如上图所示，在RC通过发配置报文并转换为通过APB接口对该uncorrectable error mask寄存器的对应bit进行配置。当该寄存器中对应bit置1时，表示当前错误类型会被mask，因此不会对相应的错误类型进行检测以及记录错误类型的TLP header。

该寄存器字段只在上面描述的模块中使用，其他模块中没有使用到该字段信号。

## Uncorrectable Error Severity Register(Offset 0Ch) （已实现）



The Uncorrectable Error Severity Register controls whether an individual error is reported as a Non-fatal or Fatal error. An error is reported as fatal when the corresponding error bit in the severity register is Set. If the bit is Clear, the corresponding error is considered non-fatal. Refer to Section 6.2 for further details. Register fields for bits not implemented by the Function are hardwired to an implementation specific value. Figure 7-126 details the allocation of register fields of the Uncorrectable Error Severity Register; Table 7-102 provides the respective bit definitions.

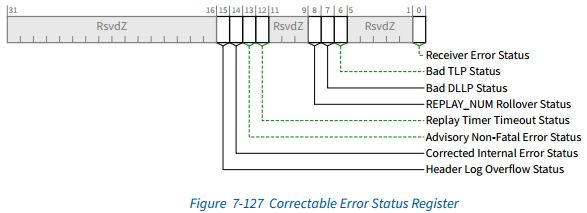
不可纠正错误严重性寄存器控制单个错误是报告为非致命错误还是致命错误。当严重性寄存器中相应的错误位被设置时，错误被报告为致命。如果该位为Clear，则认为相应的错误是非致命的。详细信息请参见6.2节。未由Function实现的位的寄存器字段被硬连接到特定于实现的值。图7-126详细描述了Uncorrectable Error Severity寄存器的寄存器字段的分配。

225已实现，具体在pcie5\_errmgt模块中，该寄存器中bit定义如上图所示，在RC通过发配置报文并转换为通过APB接口对该uncorrectable error severity寄存器的对应bit进行配置。当该寄存器对应错误类型位置1时，表示系统认为该错误类型是致命的（Fatal），否则该错误类型是非致命的（non-Fatal）。在基本错误能力处理中，当检测到相关错误类型时，会通过该寄存器的对应错误类型位判断当前错误类型是否是致命或者非致命的，如果是致命的，那么系统会将该错误类型上报为fatal的error message，否则为non-fatal的error message。

对于某些错误，如果检测到该错误类型，并且uncorrectable error severity寄存器中该错误类型的bit位没有置1，那么会推荐该错误类型为咨询性非致命错误，即Advisory Non-Fatal Error，此时该错误类型虽然为non\_fatal错误，但是不会发送non\_fatal的error message，而是发送correctable的error message。第一代225中会被推荐为Advisory Non-Fatal Error的有：Poisoned TLP Received、ECRC Error、Unsupported Request Error、Completer Abort Error、ACS Violation、Completion Timeout Error、Unexpected Completion Error、AtomicOp Egress Blocked、TLP Prefix Blocked Error。

该寄存器字段只在上面描述的模块中使用，其他模块中没有使用到该字段信号。

## Correctable Error Status Register(Offset 10h) （已实现）



The Correctable Error Status register reports error status of individual correctable error sources on a PCI Express device Function. When an individual error status bit is Set, it indicates that a particular error occurred; software may clear an error status by writing a 1b to the respective bit. Refer to Section 6.2 for further details. Register bits not implemented by the Function are hardwired to 0b. Figure 7-127 details the allocation of register fields of the Correctable Error Status register; Table 7-103 provides the respective bit definitions.

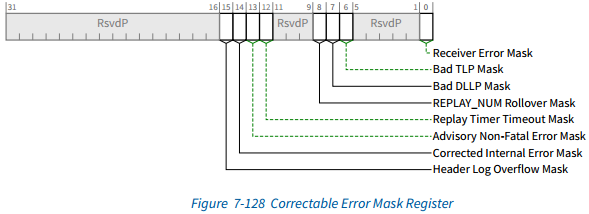
可纠正错误状态寄存器报告PCI Express设备上单个可纠正错误源的错误状态。当设置单个错误状态位时，表示发生了特定的错误;软件可以通过向相应的位写入1b来清除错误状态。详细信息请参见6.2节。未被Function实现的寄存器位被硬连接到0b。图7-127详细描述了Correctable Error Status寄存器的寄存器字段的分配。

225已实现，具体在pcie5\_errmgt模块中，该寄存器中bit定义如上图所示，在检测到该寄存器中对应错误类型之后，会将该correctable error status寄存器中的错误类型字段置1，表示检测到该错误。该状态寄存器会通过APB接口写入相应错误类型的bit位来进行清零操作。

当检测到correctable error时，如果对应的错误类型没有被mask掉，那么会根据该状态位发起correctable error的error message。

该寄存器字段只在上面描述的模块中使用，其他模块中没有使用到该字段信号。

## Correctable Error Mask Register(Offset 14h) （已实现）



The Correctable Error Mask Register controls reporting of individual correctable errors by this Function to the PCI Express Root Complex via a PCI Express error Message. A masked error (respective bit Set in the mask register) is not reported to the PCI Express Root Complex by this Function. Refer to Section 6.2 for further details. There is a mask bit per error bit in the Correctable Error Status register. Register fields for bits not implemented by the Function are hardwired to 0b. Figure 7-128 details the allocation of register fields of the Correctable Error Mask Register; Table 7-104 provides the respective bit definitions.

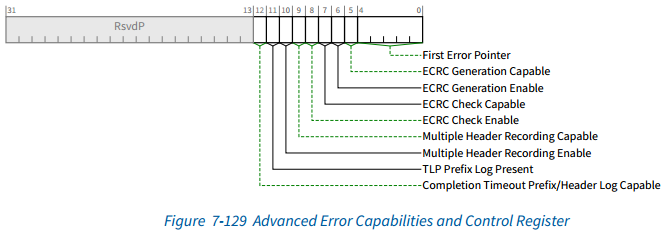
可纠正错误掩码寄存器控制该Function通过PCI Express错误消息向PCI Express的RC报告单个可纠正错误。一个被屏蔽的错误(在掩码寄存器中各自的位设置)不被这个Function报告给PCI Express的RC。详细信息请参见6.2节。在可纠正错误状态寄存器中，每个错误位都有一个掩码位。未被Function实现的位的寄存器字段被硬连接到0b。图7-128详细描述了可纠正错误掩码寄存器的寄存器字段的分配。

225已实现，具体在pcie5\_errmgt模块中，该寄存器中bit定义如上图所示，该状态寄存器会通过APB接口写入相应错误类型的bit位来进行配置，当对应错误类型位置1时，表示该错误类型是被mask的，不会将该错误类型上报error message给RC。该寄存器中的错误类型的mask均通过上电复位或不支持AER能力时进行清零操作。而Header log overflow mask字段在不支持Multiple Header Recording能力时，也会进行清零操作。

该寄存器的错误类型字段置1时，会对correctable error检测的status register进行mask，使检测到该错误类型的端口不会发送correctable error的error message。

该寄存器字段只在上面描述的模块中使用，其他模块中没有使用到该字段信号。

## Advanced Error Capabilities and Control Register (Offset 018h)



Advanced Error Capabilities and Control Register中的ECRC Generation Capable、ECRC Check Capable、以及Multiple Header Recording Capable这些字段在switch\_core\_shell模块内通过switch\_core\_register\_top\_wrapper模块的k\_ecrc \_impl\_s和k\_aer\_multi\_header\_log\_s进行配置的，k\_ecrc \_impl\_s信号会循环赋值32次给k\_pexconf信号，而k\_aer\_multi\_header\_log\_s会将每bit对应赋值给k\_pexconf信号，k\_pexconf的位宽为32\*384 bit，k\_pexconf信号在hsio\_top\_pipe模块中按照32个port的顺序分别对应赋值给各自port下的k\_pexconf信号，每个port下的k\_pexconf位宽为384bit。Completion Timeout Prefix/Header Log Capable在225中没有被使用到。

其中k\_ecrc\_impl\_s是2bit信号，第0 bit为ECRC Generation Capable，表示是否支持ECRC生成；第1 bit为ECRC Check Capable，表示是否支持ECRC检查；k\_ecrc\_impl\_s是switch\_core\_register\_top\_wrapper模块的sw\_global\_cfg\_reg\_ rw\_ecrc\_o信号赋值过来的。k\_ecrc\_impl\_s信号在各个port的k\_pexconf信号的第193、194bit。

k\_aer\_multi\_header\_log\_s是一个32bit信号，并且同样这个信号来自于寄存器switch\_core\_register\_top\_wrapper模块的sw\_portx\_cfg\_reg\_rw\_aer\_o。这个信号会在k\_pexconf循环赋值时候将每bit的k\_aer\_multi\_header\_log\_s[i]对应赋值给k\_pexconf。k\_aer\_multi\_header\_log\_s信号在各个port的k\_pexconf信号的第171 bit。

另外switch\_core\_register\_top\_wrapper模块配置了一个k\_aer\_impl\_s信号，这个信号表示AER使能信号，在k\_pexconf的第191bit。这个信号会在pcie5\_errmgt模块中会赋值给k\_aer信号，k\_aer信号作为AER的使能信号，用来指示AER功能是否开启。

### Multiple Header Recording Capable（已实现）

If Set, this bit indicates that the Function is capable of recording more than one error header.

如果该字段被设置，则表明该Function能够记录更多的错误头。

225已实现，Multiple Header Recording Capable字段表示是否支持记录多个错误头，该字段对应k\_pexconf [`KPEXCONF\_AER\_MULTHDR]信号，并且该信号对应switch\_core\_shell模块下的k\_aer\_multi\_header\_log\_s[i]，其中i对应每个port口。

在pcie5\_errmgt模块1140行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]用作hdrlogovf\_mskcor信号的判断条件，该信号为AER扩展能力结构下Correctable Error Mask寄存器的Header Log Overflow Mask。当k\_pexconf[`KPEXCONF\_AER \_MULTHDR]=1’b0，则hdrlogovf\_mskcor=1’b0，表示如果不支持Multiple Header Recording Capable，那么Header Log Overflow Mask是始终不支持配置的。否则当cfg\_addr=12’h214，那么就将cfg\_wdata[15]赋值给hdrlogovf\_mskcor。

在pcie5\_errmgt模块1203行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]用作multhdr\_en信号的判断条件，multhdr\_en信号为Advanced Error Capabilities and Control寄存器的Multiple Header Recording Enable，表示启用记录多个错误头。当k\_pexconf[`KPEXCONF\_AER\_MULTHDR]=1’b0，则multhdr\_en=1’b0，表示如果不支持Multiple Header Recording Capable，那么就无法启用Multiple Header Recording，也就是Multiple Header Recording Enable始终置0。否则当cfg\_addr= 12’h218，那么就将cfg\_wdata[10]赋值给multhdr\_en。

在pcie5\_errmgt模块1263行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]和multhdr\_en信号进行与操作之后赋值给multhdr\_ok信号，表示当前是否支持并启用了记录多个错误头功能。该multhdr\_ok信号在Uncorrectable Error Status寄存器中每个定义的bit中用作判断条件，当multhdr\_ok置1时，其对应的不可修复错误的状态位才能拉高。

在pcie5\_errmgt模块1272行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]和其他字段的信号拼接后赋值给aer18信号，aer18信号和其他aer寄存器拼接后赋值给aer\_cap信号并输出出去。该字段Multiple Timeout Prefix/Header Log Capable没有在其他模块中被使用。

### Multiple Header Recording Enable（已实现）

When Set, this bit enables the Function to record more than one error header.

Functions that do not implement the associated mechanism are permitted to hardwire this bit to 0b. Default value of this bit is 0b.

当该字段被设置时，表明其允许Function记录多个错误头。

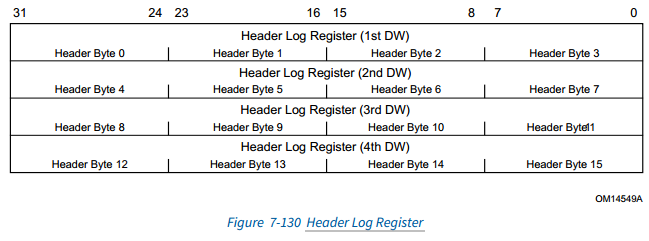
允许不实现相关机制的Function将此字段硬连接为0，该bit默认值为0b。

225已实现，Multiple Header Recording Enable字段对应multhdr\_en信号，该信号的实现在前面Multiple Header Recording Capable部分进行介绍描述，这里不再赘述。

在pcie5\_errmgt模块1263行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]和multhdr\_en信号进行与操作之后赋值给multhdr\_ok信号，表示当前是否支持并启用了记录多个错误头功能。该multhdr\_ok信号在Uncorrectable Error Status寄存器中每个定义的bit中用作判断条件，当multhdr\_ok置1并且第一错误指针（First Error Pointer）指向该状态位时，其对应的不可修复错误的状态位才能拉高。

在pcie5\_errmgt模块1273行，multhdr\_en信号和其他字段信号拼接后赋值给aer18信号，aer18信号在和其他寄存器拼接后赋值给aer\_cap信号并输出出去。该字段在其他模块中没有被使用。

## Header Log Register(Offset 1Ch)（已实现）

 The Header Log Register contains the header for the TLP corresponding to a detected error; refer to Section 6.2 for further details. Section 6.2 also describes the conditions where the packet header is recorded. This register is 16 bytes and adheres to the format of the headers defined throughout this specification.

The header is captured such that, when read using DW accesses, the fields of the header are laid out in the same way the headers are presented in this document. Therefore, byte 0 of the header is located in byte 3 of the Header Log Register, byte 1 of the header is in byte 2 of the Header Log Register and so forth. For 12-byte headers, only bytes 0 through 11 of the Header Log Register are used and values in bytes 12 through 15 are undefined.

In certain cases where a Malformed TLP is reported, the Header Log Register may contain TLP Prefix information. See Section 6.2.4.4 for details.

Figure 7-130 details allocation of register fields in the Header Log Register; Table 7-106 provides the respective bit definitions.

报头日志寄存器包含与检测到的错误相对应的TLP报头；有关详细信息，请参阅第6.2节。6.2节还描述了记录包头的条件。这个寄存器是16字节，并遵循本规范中定义的头的格式。

捕获标头时，使用DW访问读取时，标头的字段以与本文档中显示的标头相同的方式进行布局。因此，头的字节0位于头日志寄存器的字节3中，头的字节1位于头日志寄存器的字节2中，以此类推。对于12字节的头，只使用头日志寄存器的第0到11字节，第12到15字节的值是未定义的。

在报告畸形TLP的某些情况下，Header Log Register可能包含TLP前缀信息。参见6.2.4.4节。图7-130详细说明了Header Log register中寄存器字段的分配。

225已实现，具体在pcie5\_errmgt模块中，该寄存器中bit定义如上图所示，Header log Register为4个DW，基本可以记录1个TLP header。225中会定义一个4bit的hdrlog\_header数组，数组中每个元素为256bit，其中高128bit为TLP prefix，低128bit为TLP header。

在multiple header recording启用情况下，最多支持记录4个错误的TLP header。而该Header Log Register仅存放hdrlog\_header数组中的第0个元素，即hdrlog\_header[0]。

在multiple header recording没有启用情况下，记录TLP header数组始终仅第0个元素有效，即hdrlog\_header[0]有效，并且会将该数组元素中的TLP header存放到Header Log Register中。

225设计实现中明确说明有些错误是没有TLP header的，因此无法对该类错误进行记录其TLP header，其中包括：Data Link Protocol Error、Surprise Down、Flow Control Protocol Error、Completion Timeout（如果Completion Timeout Prefix/ Header Log Capable没有启用的话）以及Receiver Overflow。